

# バイナリ合成における回路規模削減のための状態およびマルチプレクサ制御信号の符号化

Encoding of States and Multiplexer Control Signals for Circuit Size Reduction in Binary Synthesis

東 香実  
Kagumi Azuma

石浦 菜岐佐  
Nagisa Ishiura

関西学院大学 理工学部 School of Science and Technology, Kwansei Gakuin University

## 1 はじめに

バイナリ合成は、プロセッサの機械語からハードウェアを自動合成する技術である [1]。数千命令からなる実行可能コードをそのままハードウェア化することも可能であるが、この場合回路の状態数は数百となり、制御回路およびマルチプレクサ (以下、MUX と略する) の規模が支配的になる。文献 [2] では、遅延削減手法の一環として、状態と MUX 制御信号をワンホット符号で符号化することが提案されているが、回路規模に関しては言及されていない。そこで本稿では、回路規模削減のための状態および MUX 制御信号の符号化について検討する。

## 2 バイナリ合成における制御回路

本稿では、スケジューリング・バインディング済みの CDFG (control dataflow graph) が与えられたときに、FPGA 実装を想定して、下記回路の規模の削減を目指す。

- (1) 状態レジスタと、状態遷移関数を計算する回路。
- (2) 状態から MUX 制御信号、演算器の起動および演算選択信号、レジスタの書き込み信号を生成する回路。
- (3) 演算器およびレジスタの入力の MUX。

本稿では、状態と MUX 制御信号をそれぞれ 2 進符号とワンホット符号で符号化する計 4 通りについて考える。

## 3 制御回路の規模

(2) のうち、MUX 制御信号を生成する回路の規模は、一般に状態数  $N$  と MUX の入力数  $M$  に依存する。しかし、状態と MUX 制御信号の両方にワンホット符号を用いた場合、各制御信号は平均  $N/M$  の状態変数の論理和となるため、 $M$  本の制御信号を生成する回路の規模は  $O(M \times N/M) = O(N)$  となって、 $M$  に依存しない。(3) の MUX の回路規模は、FPGA の回路構成によっては制御信号に 2 進符号を用いた方が小さくなる可能性がある。

## 4 実験結果

ランダムに生成したスケジューリング・バインディング済み CDFG に対して、制御回路の規模を計測する実験を行った。演算器の入力数は 2 とし、データ幅は 32 ビット

とした。演算器数を  $u$ 、レジスタ数を  $r$  とするとき、演算器とレジスタの MUX の入力数は、それぞれ区間  $[1, \lfloor 2\sqrt{r} \rfloor]$ 、 $[1, \lfloor 2\sqrt{u} \rfloor]$  からランダムに選択した。演算器の稼働率は 0.8、演算器とレジスタの MUX の入力に定数が入力される確率をそれぞれ 0.2 と 0.1、状態遷移に分岐が発生する確率を 0.2 とした。回路は Verilog HDL で記述し、Xilinx ISE (14.7) で FPGA (Spartan-3E) をターゲットに面積優先オプションで合成した。結果を表 1 に示す。unit は演算器数、reg はレジスタ数、state は状態数を表す。bin/bin,..., 1h/1h は、スラッシュの左側が状態の符号化、右側が MUX 制御信号の符号化を表し、bin が 2 進符号、1h がワンホット符号である。

制御回路 ((1)+(2)) に関しては、状態数が大きくなった場合には、状態をワンホット符号で符号化した方が回路規模が小さくなった。また、MUX の入力が多い場合には、MUX 制御信号にワンホット符号を用いた方が回路規模が小さくなった。しかし、MUX まで含めて合成した場合 ((1)+(2)+(3)) には、MUX 制御信号に 2 進符号を用いた方が回路規模が小さくなった。これは、この FPGA では、制御信号が 2 進符号の MUX の方がマッピングの面積効率が良いためと考えられる。

## 5 むすび

本稿では、バイナリ合成における回路規模削減のための状態および MUX 制御信号の符号化について考察した。どの符号が適しているかは合成対象の性質にも依存するため、実際の回路に対して評価実験を行うことが今後の課題である。

謝辞 本研究に関して御助言を頂いた立命館大学の富山宏之教授、京都高度技術研究所の神原弘之氏、元立命館大学の中谷嵩之氏に感謝致します。

## 参考文献

- [1] N. Ishiura, H. Kanbara, and H. Tomiyama: "ACAP: Binary synthesizer based on MIPS object codes," in *Proc. ITC-CSCC 2014*, pp. 725-728 (July 2014).
- [2] 祖父江 他: "高位合成におけるマルチプレクサの遅延の削減手法," 情処研報, 2014-SLDM-165, no. 21 (Mar. 2014).

表 1 実験結果 (回路のスライス数)

unit	reg	state	controller (1)+(2)				controller+MUX (1)+(2)+(3)			
			bin/bin	bin/1h	1h/bin	1h/1h	bin/bin	bin/1h	1h/bin	1h/1h
4	8	32	59	72	75	90	419	571	440	583
		64	193	246	123	155	560	737	920	648
		128	340	437	266	296	693	928	595	770
		256	867	811	532	606	1,229	1,309	793	996
16	32	32	225	307	370	291	2,900	3,652	3,037	3,611
		64	628	903	626	635	3,338	4,334	3,322	4,213
		128	1,322	1,886	1,135	1,200	4,044	5,082	3,830	4,735
		256	2,583	3,617	2,230	2,147	5,263	6,629	4,838	5,675

- (1) 状態および状態遷移関数
- (2) 制御信号生成部
- (3) MUX