

# 高位合成のバインディングにおける演算器の部分共有

Partial Unit Sharing in Binding for High-Level Synthesis

田村真平<sup>1</sup>  
Shimpei Tamura

丸谷亮祐<sup>2</sup>  
Ryosuke Marutani

石浦菜岐佐<sup>1</sup>  
Nagisa Ishiura

関西学院大学 理工学部<sup>1</sup>  
School of Science and Technology, Kwansei Gakuin University

日本電産株式会社<sup>2</sup>  
Nidec Corporation

## 1 はじめに

近年のLSIの開発コスト・期間の増大に対処するため、プログラミング言語等による動作記述からハードウェアを自動設計する高位合成技術 [1] が研究されている。バインディングは、各演算を実行する演算器や、各値を収納する記憶領域を決定する処理であり、この結果が合成される回路の規模や遅延を大きく左右する。

従来のバインディング手法では、演算器やレジスタを積極的に共有するが、共有に必要なマルチプレクサ (MUX) が回路規模や遅延を増加させるという問題がある。一方、松葉ら [2] は、演算器を全く共有しないことによって遅延を削減する手法を提案しているが、この手法では、演算数に比例して回路規模が増加し得る。

そこで本稿では、演算器の部分的な共有を行うバインディング手法を提案する。本手法は、演算器共有とMUX数のバランスを考慮することにより、回路規模増大の抑制と遅延削減の両立を狙うものである。

## 2 バインディング

バインディングは、スケジューリング済みのDFGを入力として、各演算を行う演算器と、演算の入出力となる各値を収納するレジスタを決定する。これにより、回路で使用されるレジスタ、MUXおよび配線が決まる。従来手法では、スケジューリングの資源制約と同数の演算器を使用し (以下ではこれを「完全共有」と呼ぶ)、レジスタ、MUX、配線のコストの最小化を図るが、演算器の共有に伴うMUXが回路規模および遅延の増大をもたらす。文献 [2] では、1演算につき1演算器を割り当てる方法 (以下「非共有」と呼ぶ) により、MUXを排除し、遅延を大幅に削減するが、DFGが大きくなると回路規模が増加することが問題になると考えられる。

## 3 演算器を部分共有するバインディング

本稿で提案する部分共有バインディングは、完全共有と非共有の中間的手法により、演算器数とMUX数のトレードオフを図るものである。これは、バインディングにおいて演算器数を制約とせず、演算器のコストを目的コストに加えることにより実現できる。すなわち、演算器の共有がMUXや配線のコストを増大させる場合に、演算器数を増やしてこれを抑制することができる。

## 4 実験

高位合成システム ACAP [3] に本手法を実装し、ISE 12.4 を用いてFPGAに論理合成を行って得られる回路の規模と遅延を評価した。結果を表1に示す。完全共有/

部分共有バインディングの基本アルゴリズムには greedy 法を用い、演算器 (32bit) 等のコストは乗算器 128, ALU 32, MUX 32 とした。ellip は楕円フィルタ, matrix3 は3次正方行列の積である。列“DFG”のAとMはそれぞれALU演算と乗算の数を示す。列“sche”のAとMはそれぞれスケジューリングの資源制約としたALUと乗算器の数である。“非共有”と“部分共有”のLUTとdelayは、完全共有バインディングの場合を1としたときのLUT数と遅延の相対値である。非共有バインディングで使用した演算器数はDFG中の演算数に等しい。部分共有バインディングにおいて使用したALUと乗算器の数は列A、Mの通りである。本手法では、全実験においてALUの使用量が増加し、回路規模平均11.5%の増大で遅延を平均8.3%削減できた。

表1 論理合成の結果

回路	DFG		sche		非共有 [2]		部分共有	
	A	M	A	M	LUT	delay	A	M
ellip	32	-	1	-	2.062	0.780	6	-
			2	-	1.442	0.755	6	-
			3	-	1.149	0.616	8	-
			4	-	0.856	0.607	8	-
matrix3	69	27	1	1	4.358	0.858	3	1
			2	2	3.749	0.839	5	2
			3	3	3.228	0.966	6	3
平均				2.054	0.765			
						1.115	0.917	

## 5 むすび

本稿では、演算器の部分的共有により回路規模の増大を抑制しつつ遅延を削減するバインディング手法を提案した。本手法による回路規模や遅延は、スケジューリングやバインディングの基本アルゴリズムに依存して変動する傾向があり、その詳細な分析が今後の課題である。

謝辞 本研究に関して有益な御助言を頂いた高度技術研究所の神原弘之氏、立命館大学の富山宏之教授、元立命館大学の中谷嵩之氏に感謝致します。

## 参考文献

- [1] Daniel D. Gajski, et al.: *High-Level Synthesis: Introduction to Chip and System Design*, Kluwer Academic Publishers (1992).
- [2] 松葉, 富山, 本田, 高田: “ハードウェア動作記述のSSA変換によるクロック周波数の向上,” 情処 DA シンポジウム 2008, pp.103-108 (Aug. 2008).
- [3] 池上達也: “MIPS アセンブリを中間表現とする高位合成,” 情処関西支部大会, A-03 (Oct. 2008).